

A light receiving area (19) is provided in the selective parts of the super lattice multiplication layer and the optical absorption layer. A first conductivity type high/low resistance area (18) is formed selectively starting from the super lattice multiplication layer to the contact layer. A first second conductivity type area (1101) is provided in the light receiving area of the cap layer and contact layer. A second conductivity type area (1102) is formed selectively on the contact layer.

ADVANTAGE - Exhibits high speed response, high sensitivity, reliability and low dark current.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: PLANE TYPE SUPER LATTICE APD STRUCTURE HIGH SPEED OPTICAL
COMMUNICATE SYSTEM SECOND CONDUCTING TYPE AREA SELECT
FIRST
CONDUCTING TYPE SEMICONDUCTOR CONTACT LAYER

ADDL-INDEXING-TERMS:
AVALANCHE PHOTODIODE

DERWENT-CLASS: U12

EPI-CODES: U12-A02B2A; U12-E01B2;

SECONDARY-ACC-NO:
Non-CPI Secondary Accession Numbers: N1997-367344

1997-441437

DERWENT-WEEK: 199741

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Planar type super lattice APD structure used
in high speed optical communication system - has second
conductivity type area which is provided
selectively on first conductivity type semiconductor contact
layer.

PATENT-ASSIGNEE: NEC CORP [NIDE]

PRIORITY-DATA: 1996JP-0008451 (January 22, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 09199753 A	July 31, 1997	N/A
006 H01L 031/107		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 09199753A	N/A	1996JP-0008451
January 22, 1996		

INT-CL (IPC): H01L031/107

ABSTRACTED-PUB-NO: JP 09199753A

BASIC-ABSTRACT:

The structure includes a first conductivity type semiconductor buffer layer (12), an undoped semiconductor super lattice multiplication layer (13), a second conductivity type semiconductor electric field reduction layer, a second conductivity type semiconductor optical absorption layer (15), a first conductivity type semiconductor cap layer (16) and a first conductivity type semiconductor contact layer (17), which are sequentially layered on the surface of a first conductivity type semiconductor substrate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199753

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.⁶

H 0 1 L 31/107

識別記号

庁内整理番号

F I

H 0 1 L 31/10

技術表示箇所

B

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-8451
(22) 出願日 平成8年(1996)1月22日

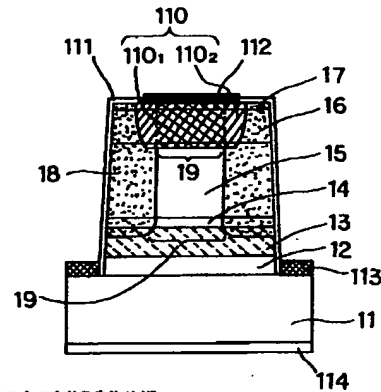
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 渡邊 功
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 超格子アバランシェフォトダイオード

(57) 【要約】

【課題】 高信頼性で、低暗電流、高速応答、高感度のプレーナ型超格子APDを実現する。

【解決手段】 第1導電型半導体基板11に、第1導電型半導体バッファ層12、ノンドープ半導体超格子増倍層13、第2導電型半導体電界緩和層14、第2導電型半導体光吸収層15、第1導電型半導体キャップ層16、第1導電型半導体コンタクト層17を順次積層した光吸収増分分離型の超格子アバランシェフォトダイオードの受光領域の19外周領域で、第2導電型半導体電界緩和層14と第2導電型半導体光吸収層15の2層を選択的に第1導電型化もしくは高抵抗化した領域18を有し、かつ、第1導電型半導体キャップ層16と第1導電型半導体コンタクト層17の受光領域19で限定された領域110₁と、選択的第1導電型化もしくは高抵抗化した光吸収層18で受光領域19と接する領域の、キャップ層16と、コンタクト層17を含む領域110₂とが選択的に第2導電型化されている。



- 11 第1導電型半導体基板
- 12 第1導電型半導体バッファ層
- 13 ノンドープ半導体超格子増倍層
- 14 第2導電型半導体電界緩和層
- 15 第2導電型半導体光吸収層
- 16 第1導電型半導体キャップ層
- 17 第1導電型半導体コンタクト層
- 18 選択的に第1導電型化、もしくは高抵抗化した領域
- 19 受光領域
- 110 選択的に第2導電型化した領域
- 111 パッシベーション層
- 112 p電極
- 113 n電極
- 114 ARコート

【特許請求の範囲】

【請求項1】 第1導電型半導体基板に、第1導電型半導体バッファ層、ノンドープ超格子増倍層、第2導電型半導体電界緩和層、第2導電型半導体光吸収層、第1導電型半導体キャップ層、第1導電型半導体コンタクト層を順次積層した光吸収増倍分離型の超格子アバランシェフォトダイオードにおいて、

受光領域の外周領域で、前記第2導電型半導体電界緩和層と前記第2導電型光吸収層の2層もしくは前記第2導電型光吸収層の1層を選択的に第1導電型化もしくは高抵抗化し、かつ、前記第1導電型半導体キャップ層および前記第1導電型半導体コンタクト層の、前記受光領域で限定された領域と、前記の選択的に第1導電型化あるいは高抵抗化された光吸収層で前記受光領域と接する領域の、前記第1導電型半導体キャップ層および前記第1導電型半導体コンタクト層を含む領域とを選択的に第2導電型化した構造を有することを特徴とする超格子アバランシェフォトダイオード。

【請求項2】 選択的第1導電型化もしくは高抵抗化領域の形成のために、Ti、Fe、Co、Oのイオン注入とそれに引き続いて熱アニールを用いて形成された請求項1記載の超格子アバランシェフォトダイオード。

【請求項3】 選択的第1導電型化もしくは高抵抗化領域の形成のために、H、He、Bのイオン注入を用いて形成された請求項1記載の超格子アバランシェフォトダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速光通信用の高信頼特性を有するプレーナ型の超格子アバランシェフォトダイオード(APD)の構造に関する。

【0002】

【従来の技術】次世代の高速、高感度な光通信システム用受光素子として、図4に示すような超格子アバランシェフォトダイオードが報告されている(アブライド フィジックス レターズ、Appl. Phys. Lett., 1995～1897ページ、57巻、1990年)。この素子では増倍層として用いるInGaAs/InAlAs超格子のイオン化率比増大効果で高利得帯域幅積(GB積)、低雑音化がなされている。

【0003】図4において、41はn⁺型InP基板、42はn⁺型InPバッファ層、43はノンドープInGaAs/InAlAs超格子増倍層、44はp型InP電界緩和層、45はp⁻型InGaAs光吸収層、46はp⁺型InPキャップ層、47はp⁺型InGaAsコンタクト層、48は表面パッシベーション膜、49はp電極、410はn電極である。

【0004】

【発明が解決しようとする課題】しかし、この従来例で代表される従来の超格子APDはメサ型構造であり、メ

サ端面の表面パッシベーション膜48としてSiNもしくはポリイミドが用いられているが、このような構造では、素子雑音を支配する暗電流(主に表面リーク暗電流)が経時的に増大するため、素子寿命が短いという欠点を有している。

【0005】一方、GB積は超格子APDよりも小さいものの、すでに高信頼特性が確認されているプレーナ型3元APO(ジャーナル オブ ライトウェイブ テクノロジー、Journal of Lightwave Technology, 1643～1655ページ、6巻、1988年)の素子構造を図5に示す。図5において、51はn⁺型InP基板、52はn型InPバッファ層、53はノンドープInGaAs光吸収層、54はn型InGaAsP中間組成層、55はn型InP増倍層、56はp⁺型InPキャップ層、57はp⁺型ガードリング部である。

【0006】この構造ではpn接合のp型領域は、主接合部56は急峻なプロファイルの得られるZn拡散で、また、ガードリング部57はグレーデッドな(濃度が徐々に変化している)プロファイルの得られるBeイオン注入により形成されている。しかし、同様の構造を電子を増倍するIn(Al)GaAs/InAlAs超格子もしくはInGaAs(P)/InAlAs超格子を用いる超格子APDで実現するには、n型領域を形成しなければならないが、現在の拡散、イオン注入技術では、InPやInAlAs等の半導体材料に所望のプロファイルを深さ精度良く形成することができないという問題点がある。

【0007】また、別のプレーナ型素子を実現するものとして小川らが提案する構造(特開昭61-199675)を図6に示す。図6において、61はn⁺型InP基板、62はn⁻型InGaAs光吸収層、63はp⁺型InGaAs、64は高抵抗領域、65は絶縁膜、66はp電極、67はn電極、68は受光領域である。

【0008】この構造では、プロトン等の軽質量イオン打ち込みにより形成した高抵抗領域64がpn接合端面を埋め込んでいるが、一般にプロトンのイオン注入による高抵抗化は、イオン注入ダメージにより半導体中に欠陥が導入され、これが深い準位(禁制帯の中央付近に形成される不純物準位)を形成して、キャリアを補償して高抵抗化するというメカニズムをもつ。特に、この従来例では受光領域68外の高濃度p型領域を高抵抗化しているが、このような高濃度p領域を高抵抗化するには、高ドーズのイオン打ち込みが必要となり、これにより高濃度の欠陥が導入されるという欠点を有する。このためpin構造に逆方向電界を印加する受光素子の場合、この欠陥が暗電流の増大を招き実用上使用不可能なレベルに達する。すなわち、本従来例に記載の高抵抗形成手法(プロトンに代表される軽質量元素のイオン注入)では、元ウェハにおいて高濃度p、あるいはn型キャップ層が全面につながっている層構造である場合、低暗電流

の受光素子を形成することができない。

【0009】本発明の目的は、高信頼の新しいプレーナ型超格子APDを提供することである。

【0010】

【課題を解決するための手段】本発明の超格子アバランシェフォトダイオードは、第1導電型半導体基板に、第1導電型半導体バッファ層、ノンドープ超格子増倍層、第2導電型半導体電界緩和層、第2導電型半導体光吸収層、第1導電型半導体キャップ層、第1導電型半導体コンタクト層を順次積層した光吸収増倍分離型の超格子アバランシェフォトダイオードの受光領域の外周領域で、第2導電型半導体電界緩和層と該第2導電型光吸収層の2層もしくは第2導電型光吸収層の1層を選択的に第1導電型化もしくは高抵抗化し、かつ、前記第1導電型半導体キャップ層および第1導電型半導体コンタクト層の、受光領域で限定された領域と、選択的に第1導電型化した光吸収層で受光領域と接する領域の、第1導電型半導体キャップ層および第1導電型半導体コンタクト層を含む領域とを選択的に第2導電型化した構造を有することを特徴とする。

【0011】上記超格子アバランシェフォトダイオードは、選択的第1導電型化もしくは高抵抗化領域を、Ti, Fe, Co, Oのイオン注入とそれに引き続く熱アニールを用いて形成されている。

【0012】または、上記超格子アバランシェフォトダイオードは、選択的第1導電型化もしくは高抵抗化領域を、H, He, Bのイオン注入によって形成されている。

【0013】

【発明の実施の形態】図1は本発明の超格子アバランシェフォトダイオードの素子構造を示す図、図2は本発明と従来例の電界分布を説明する図である。

【0014】図1に示すように、本発明の超格子アバランシェフォトダイオードは、第1導電型半導体基板11に、第1導電型半導体バッファ層12、ノンドープ半導体超格子増倍層13、第2導電型半導体電界緩和層14、第2導電型半導体光吸収層15、第1導電型半導体キャップ層16、第1導電型半導体コンタクト層17を順次積層した光吸収増倍分離型の超格子アバランシェフォトダイオードであって、受光領域19の外周領域で、第2導電型半導体電界緩和層14と第2導電型光吸収層15の2層（第2導電型光吸収層15の1層でもよい）を選択的に第1導電型化もしくは高抵抗化した領域18を有し、かつ、第1導電型半導体キャップ層16および第1導電型半導体コンタクト層17の、受光領域19で限定された領域110と、前記の選択的第1導電型化もしくは高抵抗化した光吸収層18で受光領域19と接する領域の、第1導電型半導体キャップ層16および第1導電型半導体コンタクト層17を含む領域110とを選択的に第2導電型化した構造を有する。

【0015】このような本発明の構造では、図2(a)のように、選択的に第2導電型化した領域110が、選択的に第1導電型化あるいは高抵抗化した領域18の一部の上部を覆うような構造となっているため、電界緩和層14の受光領域19外周部では、電界分布21の曲率が大きくなっていることがわかる。このためエッジ部20での電界集中が抑制され、エッジ増倍（エッジ部20のみ強調された不均一増倍）が抑制されて均一な増倍分布が得られる。さらに、選択的に第1導電型化あるいは高抵抗化した領域18を形成する手段としてTi, Fe, Co, Oのイオン注入とそれに引き続いて熱アニールを用いるため、軽質量イオン注入で形成される欠陥が生成されないで、素子の暗電流が小さいという利点を有する。

【0016】また、別の例として、元ウェハにおいて高濃度pあるいはn型キャップ層が全面につながっていない層構造であるため、選択的高抵抗化領域18を形成する手段としてH, He, B等の軽質量イオン注入を用いても、これにより形成される欠陥が少量でも高抵抗化が生じるので、素子の暗電流が小さいという利点を有する。

【0017】これに対して、図2(b)で示される従来例では、選択的第2導電型領域110'が、選択的高抵抗化領域18の一部の上部を覆わない構造となっているため、増倍層13の受光領域外周部では、電界分布21の曲率が小さくなっていることがわかる。このためエッジ部20での電界集中が発生し、エッジ増倍が発生して均一な増倍分布が得られない。さらに、元ウェハにおいて高濃度p、あるいはn型キャップ層が全面につながっている層構造であるため、選択的高抵抗化領域18を形成する手段として高ドーズの軽質量イオン注入を用いているので、非常に多くの欠陥が生成され、素子の暗電流が大きいという欠点を有する。

【0018】

【実施例】次に、本発明の実施例について図3により説明する。

【0019】 $n^+ - \text{InP}$ 基板上の $\text{InAlGaAs}/\text{InAlAs}$ 超格子APDの場合の実施例について説明する。

【0020】まず、 $n^+ - \text{InP}$ 基板上11に、n型 InP バッファ層12を $0.2\mu\text{m}$ 、ノンドープ $\text{InAlGaAs}/\text{InAlAs}$ 超格子増倍層13を $0.23\mu\text{m}$ 、 p^+ 型 InP 電界緩和層14を $30\sim 100\text{nm}$ 、 p^- 型 InGaAs 光吸収層15を $1\mu\text{m}$ 、 n^- 型 InP キャップ層16を $0.5\mu\text{m}$ 、 n^- 型 InGaAs コンタクト層17を $0.1\mu\text{m}$ 、順次ガスソースMBE法で積層する（図3(a)）。次に、受光領域19の外周領域で、前述の p^+ 型 InP 電界緩和層14と p^- 型 InGaAs 光吸収層15、および n^- 型 InP キャップ層16、 n^- 型 InGaAs コンタクト層17に選択的にT

5

iイオンを注入し、引き続いてアニールを600～700℃で施し高抵抗化領域18を形成する(図3

(b))。次に、受光領域19のn⁻型InPキャップ層16とn⁻型InGaAsコンタクト層17を含む領域110₁と、前述の選択的に高抵抗化した光吸収層18で受光領域19と接する領域の上部の、InPキャップ層16とInGaAsコンタクト層17を含む領域110₂を、選択的にZnの熱拡散によりp⁺型化した領域110を形成する(図3(c))。最後に、パッシベーション膜111、p電極112、n電極113、ARコート114を形成する。

【0021】以上のプロセスにより本発明の実施例のプレーナ型超格子アバランシェフォトダイオードが製作できる。

【0022】本素子では、増倍暗電流が20～100nAの低暗電流で高速な(GB積120GHz)特性が確認され、さらには、暗電流の経時的安定性も、例えば150℃のエージングで1000時間経過後も暗電流の増加が全くない高信頼な特性が確認された。

【0023】なお、イオン注入する元素を他のFe、C、O等にした場合も基本的プロセスは同様である。

【0024】次に、n⁺-InP基板上的InAlGaAs/InAlAs超格子APDの場合の実施例について説明する。

【0025】まず、n⁺-InP基板上11に、n型InPバッファ層12を0.2μm、ノンドープInAlGaAs/InAlAs超格子増倍層13を0.23μm、p⁺型InP電界緩和層14を30～100nm、p⁻型InGaAs光吸収層15を1μm、n⁻型InPキャップ層16を0.5μm、n⁻型InGaAsコンタクト層17を0.1μm、順次ガスソースMBE法で積層する。次に、受光領域19となる領域の、n⁻型InPキャップ層16とn⁻型InGaAsコンタクト層17を含む領域を、選択的にZnの熱拡散によりp⁺型化した領域110を形成する。次に、受光領域19の外周域でp⁺型化InPキャップ層とp⁺型化InGaAsコンタクト層と重なる部分を持ちながら、InPキャップ層とInGaAsコンタクト層およびp⁺型InP電界緩和層14に選択的にHeイオンを注入し高抵抗化領域18を形成する。最後に、パッシベーション膜111、p電極112、n電極113、ARコート114を形成する。

【0026】以上のプロセスにより本発明の実施例のプレーナ型超格子アバランシェフォトダイオードが製作できる。

【0027】本素子では、増倍暗電流が20～100nAの低暗電流で高速な(GB積120GHz)特性が確認され、さらには、暗電流の経時的安定性も、例えば150℃のエージングで1000時間経過後も暗電流の増加が全くない高信頼な特性が確認された。

6

【0028】なお、イオン注入する元素を他のH、B等にした場合も基本的プロセスは同様である。

【0029】

【発明の効果】以上説明したように、本発明により、高信頼性で、低暗電流、高速応答のプレーナ型超格子APDが製作でき、2.5～10Gb/sの高信頼な幹線系光通信システム用受光素子が実現できる。

【図面の簡単な説明】

【図1】本発明の超格子アバランシェフォトダイオードの素子構造を示す図である。

【図2】本発明と従来例との電界分布を説明する図である。

【図3】本発明の第1の実施例の製作工程を示す図である。

【図4】従来例の素子構造を示す図である。

【図5】他の従来例の素子構造を示す図である。

【図6】さらに他の従来例の素子構造を示す図である。

【符号の説明】

- | | |
|--|------------------------------|
| 11 | 第1導電型半導体基板 |
| 12 | 第1導電型半導体バッファ層 |
| 13 | ノンドープ半導体超格子増倍層 |
| 14 | 第2導電型半導体電界緩和層 |
| 15 | 第2導電型半導体光吸収層 |
| 16 | 第1導電型半導体キャップ層 |
| 17 | 第1導電型半導体コンタクト層 |
| 18 | 選択的に第1導電型化もしくは高抵抗化した領域 |
| 19 | 受光領域 |
| 20 | エッジ部 |
| 21 | 電界分布 |
| 110, 110 ₁ , 110 ₂ | 選択的に第2導電型化した領域 |
| 111 | パッシベーション膜 |
| 112 | p電極 |
| 113 | n電極 |
| 114 | ARコート |
| 41 | n ⁺ 型InP基板 |
| 42 | n ⁺ 型InPバッファ層 |
| 43 | ノンドープInGaAs/InAlAs超格子増倍層 |
| 44 | p型InP電界緩和層 |
| 45 | p ⁻ 型InGaAs光吸収層 |
| 46 | p ⁺ 型InPキャップ層 |
| 47 | p ⁺ 型InGaAsコンタクト層 |
| 48 | 表面パッシベーション膜 |
| 49 | p電極 |
| 410 | n電極 |
| 51 | n ⁺ 型InP基板 |
| 52 | n型InPバッファ層 |
| 53 | ノンドープInGaAs光吸収層 |

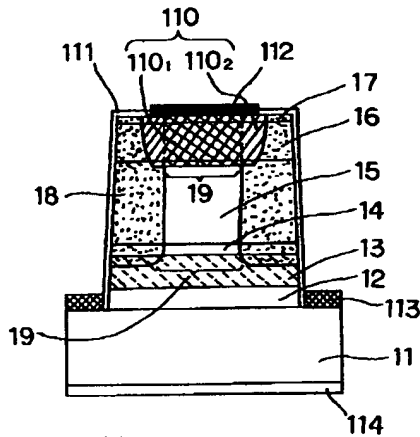
7

- 54 n型InGaAs中間組成層
55 n型InP増倍層
56 p⁺型InPキャップ層
57 p⁺型ガードリング
61 n⁺InP基板
62 n⁻型InGaAs光吸収層

8

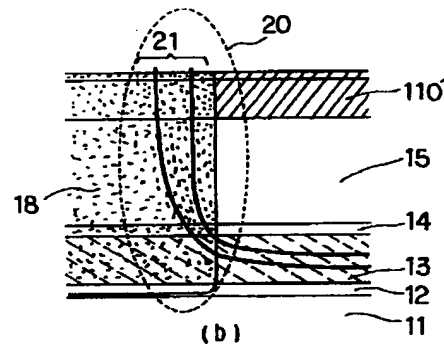
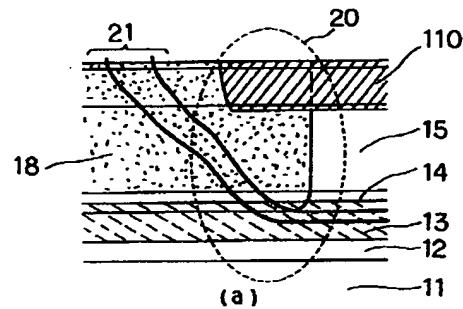
- 63 p⁺型InGaAs
64 高抵抗領域
65 絶縁膜
66 p電極
67 n電極
68 受光領域

【図1】

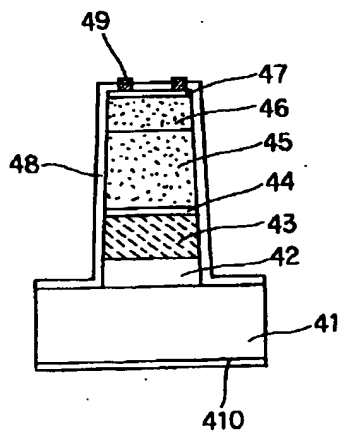


- 11 第1導電型半導体基板
12 第1導電型半導体バッファ層
13 n型InP増倍層
14 第2導電型半導体電界緩和層
15 第2導電型半導体光吸収層
16 第1導電型半導体キャップ層
17 第1導電型半導体コタ外層
18 選択的に第1導電型化、もしくは高抵抗化した領域
19 受光領域
110 選択的に第2導電化した領域
111 パッシベーション膜
112 p電極
113 n電極
114 ARコート

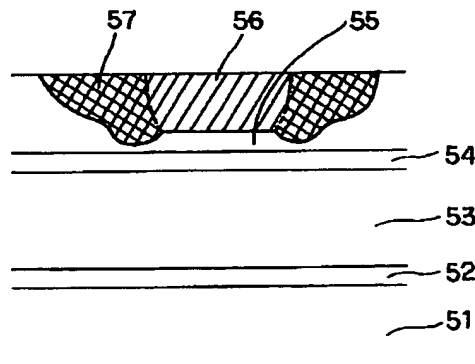
【図2】



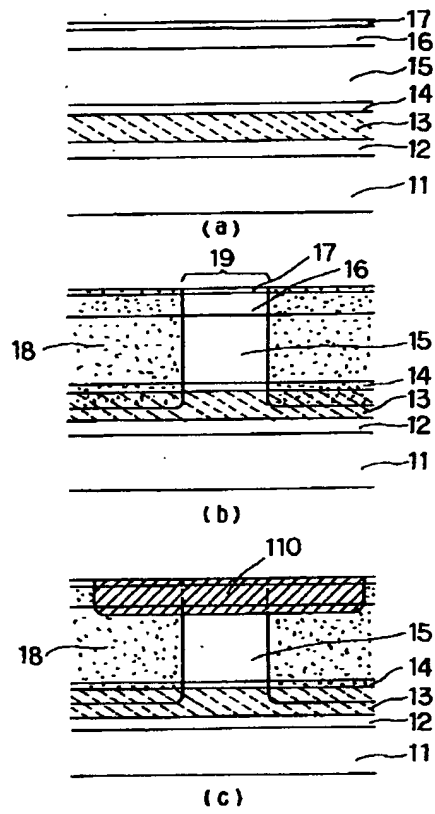
【図4】



【図5】



【図3】



【図6】

